

Figura 0.1: Distribuzione clock e ritardi per Skew

La distribuzione dei clock in un sistema digitale

La distribuzione del segnale di clock in un sistema digitale avviene tramite differenti percorsi fra il nodo circuitale in cui esso è generato e quelli in cui esso è utilizzato. Tali percorsi si differenziano per la distanza e per le caratteristiche elettriche resistive, capacitive e induttive, oltre che per effetti termici, meccanici e di imperfezioni nei materiali utilizzati, differenze tutte che si traducono in ritardi e deformazioni della forma d'onda trasferita rispetto a quelle fruibili nei punti di destinazione. In fig.0.1 è riportato lo schema esemplificativo della distribuzione di un clock Clk ai vari sottosistemi di un sistema digitale. Nel trasporto del segnale di clock, come detto, questo subisce dei ritardi che generano delle variazioni di fase tra il valore del segnale generato in un punto del circuito e quello ricevuto in un altro. Tali ritardi sono noti come *skew* (il termine inglese si tradurrebbe in tal caso con *distorto* o *non preciso*). Lo skew di un segnale $f(t)$ che da un punto P_0 con un valore $f(t_0)$, si propaga verso due differenti punti del circuito P_1 al tempo $(t_0 + \tau_1)$ e P_2 al tempo $(t_0 + \tau_2)$, con τ_1 e τ_2 i rispettivi ritardi è dato dalla differenza di tempo: $\Delta t_{skew} = \tau_2 - \tau_1$. La figura mostra un diagramma di tempificazione con indicato il segnale di clock Clk e i segnali fruibili nei sottosistemi $C1$, Ci , Cn con skew dati dai ritardi τ_1 , τ_i e τ_n .

Con riferimento al trasferimento fra registri, così come schematizzato in fig.0.2, lo skew può assumere un valore positivo o negativo, dipendentemente dal fatto che il fronte del clock utilizzato per l'abilitazione dei flip flop sorgente e destinazione, siano abilitati nella sequenza corretta sorgente->destinazione o in quella inversa destinazione->sorgente. Nel primo caso si ha uno sfasamento tra il fronte attivo del clock di F_2 e quello di F_1 positivo, nel secondo caso negativo, così come indicato rispettivamente nella parte superiore e inferiore della figura..

In fig.0.3, è riportato l'esempio di distribuzione del clock relativamente a trasferimenti fra flip-flop connessi in cascata su due linee indipendenti. Ad ogni impulso di clock, il valore del bit proveniente da una rete combinatoria posta nello stadio i -esimo e sostenuto dal corrispondente flip-flop che attua una trasformazione funzionale, è propagato

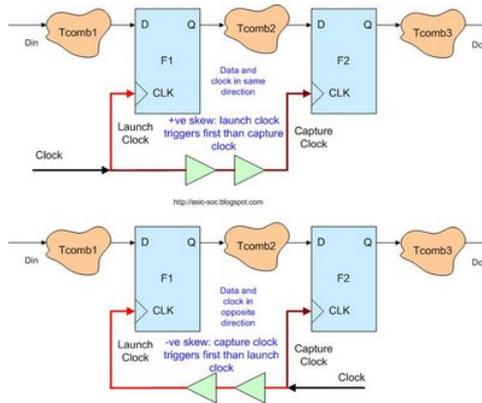


Figura 0.2: Skew nel trasferimento tra registri

a valle verso il flip-flop dello stadio $i+1$ -esimo. Il circuito opera sincronizzando prima l'attivazione del flip-flop in posizione i -esima e successivamente, dopo un intervallo di tempo maggiore al tempo di propagazione della rete combinatoria $i+1$ -esima, del successivo flip-flop $i+1$ -esimo. Per un corretto funzionamento lo skew deve essere positivo, e cioè, deve prima arrivare l'abilitazione a F1 e poi a F2.

In figura sono, inoltre, evidenziati gli skew locali che interessano un'unica linea di ritardo e quelli globali che relazionano sfasamenti di segnali indipendenti.

Phase Locked Loop (PLL) e Delay-Locked Loop (DLL)

La distribuzione dei clock in un circuito su più punti è affetta da skew fra i vari segnali derivati da un unico clock comune. Inoltre, stante l'impossibilità di eliminare completamente i fenomeni di deriva di fase, negli oscillatori, al fine di poterne controllare la stabilità, in frequenza e fase, della forma periodica generata, si ricorre a circuiti di due principali tipologie: *Phase Locked loop* (PLL) e *Delay-Locked Loop* (DLL). Entambi i circuiti operano confrontando il clock generato con un clock di riferimento e usano forme di controreazione negativa per controllarne la frequenza e la fase. In particolare, il segnale di errore, opportunamente filtrato, provvede a effettuare l'*aggancio in frequenza* e, quindi, il controllo della fase del segnale generato.

La differenza fondamentale fra le due tipologie di circuiti PLL e DLL, sta nel tipo di componente utilizzato per svolgere l'azione di regolazione della fase che, nel caso dei circuiti PLL, fa uso di un oscillatore controllato dalla tensione (VCO), mentre nel caso dei DLL di una linea a ritardo variabile, così come evidenziato in fig.0.6. In particolare, il circuito PLL uso di un clock esterno di riferimento immesso sulla linea CLKIN, pertanto, stabile in frequenza (si ricorre ad un oscillatore quarzato), e isofrequenziale (o multiplo in frequenza) al clock CKOUT che si vuole controllare all'atto dell'aggancio della fase. In un PLL, un rivelatore di fase confronta le frequenze dei due segnali di ingresso e genera un segnale di errore proporzionale alla loro differenza. Agganciata la frequenza il VCO procede con l'aggancio di fase e con la sua successiva regolazione. Il segnale di

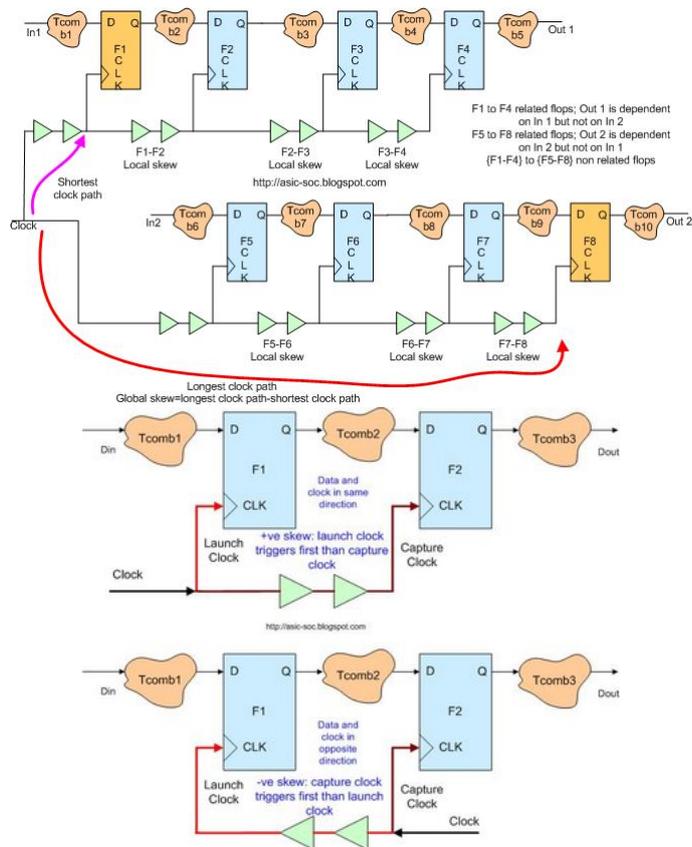


Figura 0.3: Distribuzione del clock in una rete di flip-flop



Figura 0.4: Clock Skew, il solito problema della sincronizzazione degli orologi...

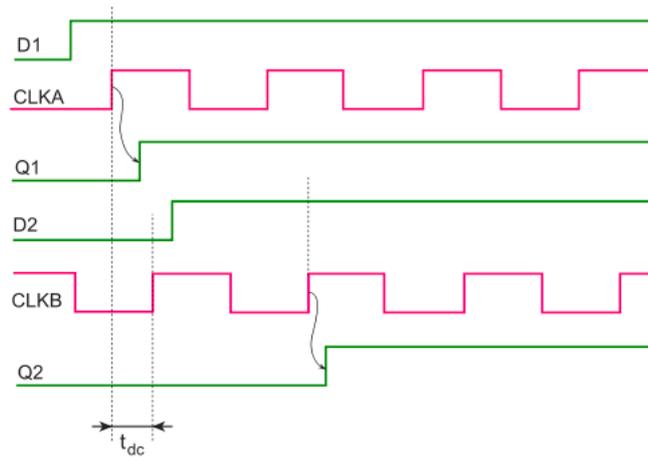
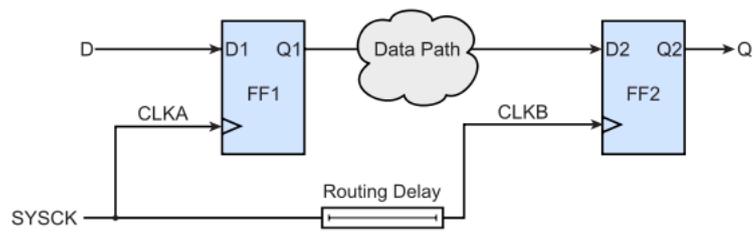


Figura 0.5: Clock skew

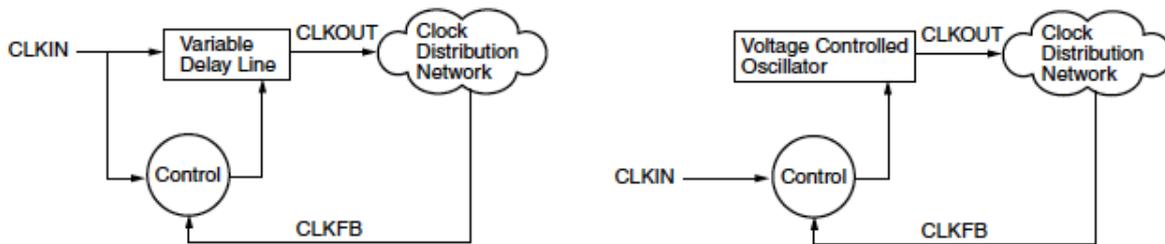


Figura 0.6: Schemi di un circuito DLL (a sinistra) e di un PLL (a destra)

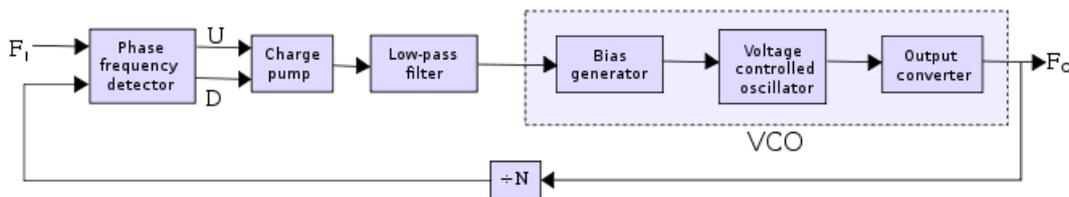


Figura 0.7: Schema di un circuito per il controllo di fase PLL

errore, dopo essere stato condizionato elettronicamente con un filtro passa basso, regola l'oscillatore VCO (Voltage Controlled Oscillator) adibito a generare il segnale CLKOUT, reazionato all'ingresso del rilevatore di fase. Uno shift di fase ($\pm\Delta\phi$) fa aumentare il segnale di errore che pilota il VCO in modo da compensare lo spostamento di fase evidenziato dall'errore (lo slittamento di fase aumenta se l'errore è negativo e diminuisce se positivo). L'oscillatore di riferimento esterno utilizzato nel PLL introduce forme di instabilità che degradano le prestazioni del PLL quando si tenta di compensare il ritardo dovuto alla distribuzione del clock. Di contro, l'architettura del DLL che usa lo stesso segnale di clock che si vuole controllare, risulta essere più stabile per la compensazione e il condizionamento del clock, ma meno flessibile qualora venga impiegata per sintetizzare clock operanti con nuove frequenze.

Tali circuiti possono essere realizzati sia in modo analogico che digitale, ovviamente, quelli di tipo analogico permettono di ottenere migliori prestazioni e consentono di operare a frequenze più elevate, quelli digitali, di contro, sono più flessibili e semplici da progettare, meno critici nel funzionamento e facilmente integrabili all'interno dei chip VLSI.

Il Digital Clock Manager (DCM)

Il digital clock manager è un dispositivo in grado di eliminare il clock skew, e quindi di aumentare le prestazioni del sistema, ricorrendo a uno shift di fase del clock generato, ottenuto ritardandone l'inizio di una frazione del o di suoi multipli o sottomultipli interi, in modo da tenere conto dei ritardi medi rilevati nel path di trasmissione del segnale. I DCM, al fine di sintetizzare un nuovo clock a frequenza diversa, possono effettuare opera-

zioni di moltiplicazione o divisione della frequenza del clock in ingresso con quest'ultimo sincronizzato.

Si riporta di seguito la descrizione del DCM disponibile negli FPGA della famiglia Spartan3e di Xilinx e il cui schema funzionale è riportato in fig.0.8. L'architettura del DCM si compone di quattro parti funzionali:

- un delay locked loop (DLL) per l'aggancio in frequenza e fase fase del clock di uscita rispetto a quello di ingresso;
- un sintetizzatore digitale, il digital frequency synthesizer (DFS), per la generazione di clock di frequenze preassegnata determinata a partire dal clock di ingresso CLKIN modificato per tramite del rapporto di due numeri interi, di un moltiplicatore (CLKFX_MULTIPLY) e di un Divisor (CLKFX_DIVIDE);
- un phase shifter (PS), per determinare, anche dinamicamente, lo sfasamento che il clock in uscita deve avere rispetto a quello in ingresso;
- una logica di Status che codifica tutte le informazioni che caratterizzano lo stato corrente del DCM.

Il DLL è adibito, come visto, al controllo dello skew dei segnali in modo da distribuire, nei vari punti del circuito segnali di clock con un effettivo ritardo a zero. I segnali di ingresso che interessano il DLL sono: CLKIN, per immettere il clock generato internamente o esternamente, da distribuire e CLKFB, per immettere il segnale prelevato sul punto di distribuzione reazionato al fine di determinarne nel DLL lo scostamento di fase. Quelli d'uscita sono CLK2X, a frequenza doppia, generato dal duplicatore di clock, e in controfase CLK2X180; il segnale proveniente dal divisore di frequenza CLKDV; i quattro segnali CLK0, CLK90, CLK180, CLK270, in quadratura l'uno con l'altro (Quadrant Phase Shifted Outputs functions) e i due segnali CLKFX e CLKFX180, in opposizione di fase, generati dal sintetizzatore di frequenze DFS. Il sintetizzatore di frequenze può anche operare indipendentemente dal DLL e generare clock non sincronizzati con CLKIN, reazionato su CLKFB.

Il digital frequency synthesizer (DFS), può generare, quindi, unitamente o separatamente al DLL. Nel primo caso le frequenze generate sono sincronizzate con il clock CLKIN, nel secondo caso ne sono completamente indipendenti. Il DFS può essere utilizzato per generare un clock interno al dispositivo FPGA. Il range di frequenze dipende dal particolare dispositivo utilizzato

Il phase shifter (PS) controlla la relazione di fase fra CLKIN e tutti e nove i segnali del DCM, che risultano, pertanto, sfasati simultaneamente dello stesso valore di fase. Lo sfasamento può essere tanto positivo che negativo ed è di una frazione del periodo del clock di ingresso. Il valore dello sfasamento può essere determinato staticamente in fase di progetto e caricato dinamicamente nel dispositivo FPGA con la fase di programmazione di una configurazione, oppure essere definito dinamicamente per quanti di $\frac{1}{256}$ del periodo di CLKIN per taluni modelli o per step programmabili nell'intervallo tra 15 e 35 ps per altri. I segnali di ingresso al PS sono PSINCDEC che indica un'operazione di shift di un quanto negativo (se posto a 0) o positivo (se posto a 1); PSEN, che abilita le operazioni

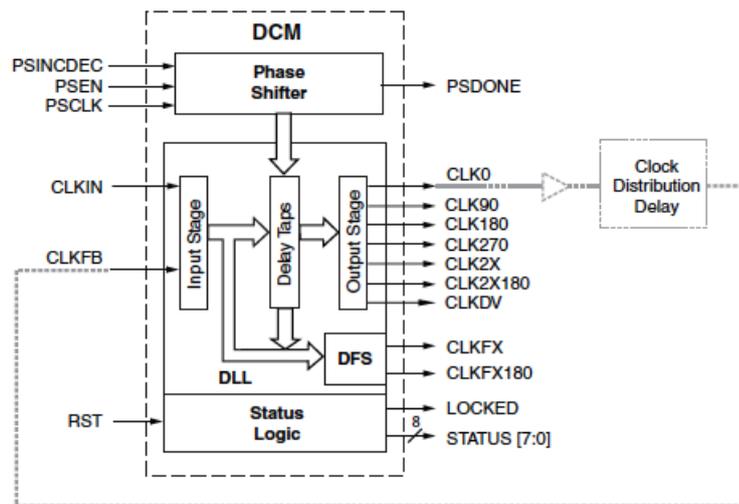


Figura 0.8: Architettura di un DCM

di PS se posto a uno e le disabilita se posto a zero; PSCLK è il clock di ingresso al PS. I segnali di uscita sono PSDONE, che con il valore zero indica che è in corso una fase di shift della frequenza, o che non è attiva alcuna fase di shift, e con il valore uno che è stata completata la fase di shift richiesta.

Il blocco dedicato alla logica di stato presenta un segnale di ingresso di reset asincrono RST per resettare il DCM; un segnale di uscita LOCKED, usato per indicare l'aggancio di fase del DCM con il CLKIN e una variabile di 8 bit STATUS che codifica con i bit [0], [1], e [2] lo stato del DCM. I flag [3]-[7] non sono usati.

In fig.0.9 è riportato uno schema delle operazioni di shift e i segnali coinvolti in esse.

Esempi di generazioni di clock mediante DCM

<referirsi agli esercizi messi sul sito>

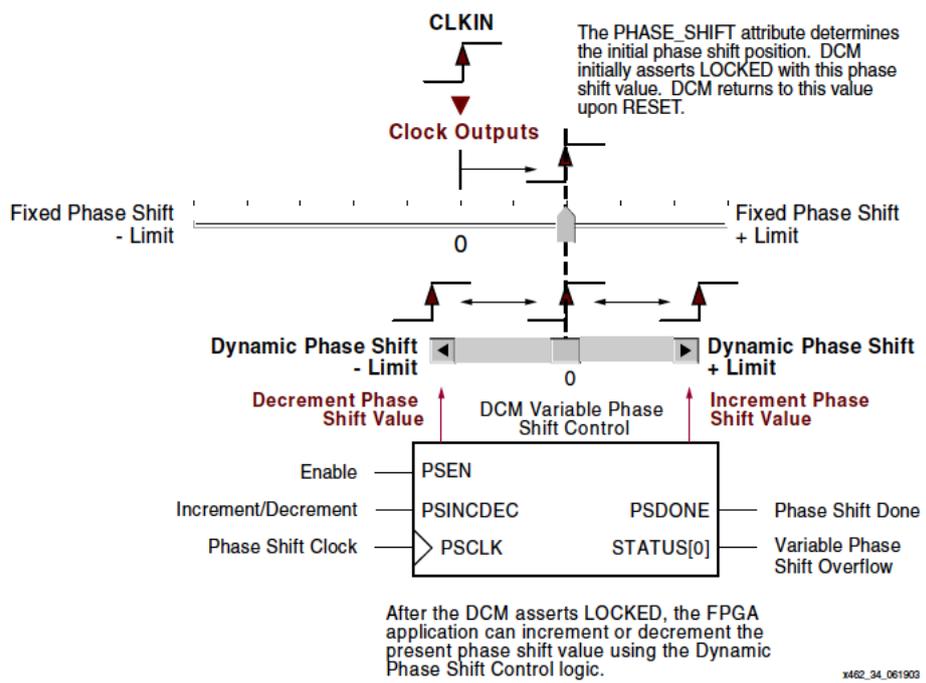


Figure 3-36: Variable Phase Shift Controls

Figura 0.9: Controllo Phase Shift

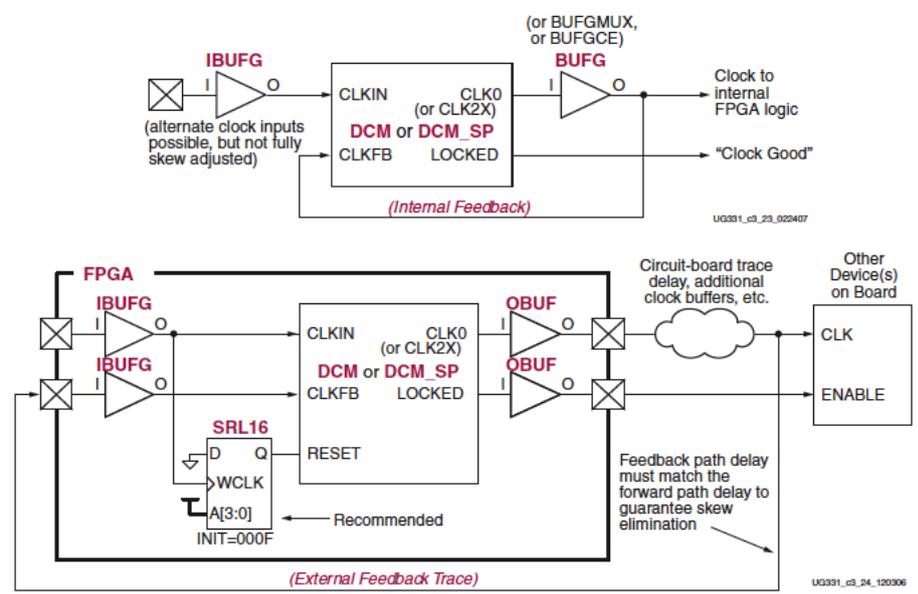


Figura 0.10: Esempio d'uso del DCM per la generazione di un clock